

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-111975

(43)Date of publication of application : 30.04.1996

(51)Int.Cl.

H02M 3/155

H02J 3/18

H02M 3/28

H02M 7/217

(21)Application number : 06-245526

(71)Applicant : SANKEN ELECTRIC CO LTD

(22)Date of filing : 11.10.1994

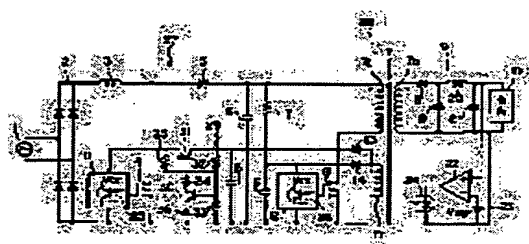
(72)Inventor : MORITA KOICHI

## (54) DC POWER UNIT

### (57)Abstract:

PURPOSE: To reduce the power consumption of a DC power unit and improve the efficiency of the power unit when the load of the unit is light.

CONSTITUTION: When the voltage drop across the ternary winding 7c of an output transformer 7 in case the load of a DC power unit is light is detected by means of the resistors 32 and 33 of a loaded state detecting means 29 and a Zener diode 36, transistors 30 and 31 are turned off and power supply to a first control circuit 11 from the winding 7c is stopped. As a result, the turning on/off operation of a first MOSFET 4 is stopped, because the operation of the control circuit 11 is stopped and the supply of a control signal to the gate terminal of the MOSFET 4 is stopped. Therefore, the operation of a power factor improving circuit 27 can be stopped when the load is light. Accordingly, the power consumption of a DC power source unit can be reduced and the efficiency of the unit can be improved when the load is light, because the power consumption of the circuit 27 becomes zero.



## LEGAL STATUS

[Date of request for examination] 19.07.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3517849

[Date of registration] 06.02.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-111975

(43)公開日 平成8年(1996)4月30日

(51)Int.Cl. <sup>6</sup>	識別記号	弁内整理番号	F I	技術表示箇所
H 0 2 M 3/155	U			
	H			
H 0 2 J 3/18	D	9470-5G		
H 0 2 M 3/28	U			
7/217		9472-5H		

審査請求 未請求 請求項の数3 O L (全 5 頁)

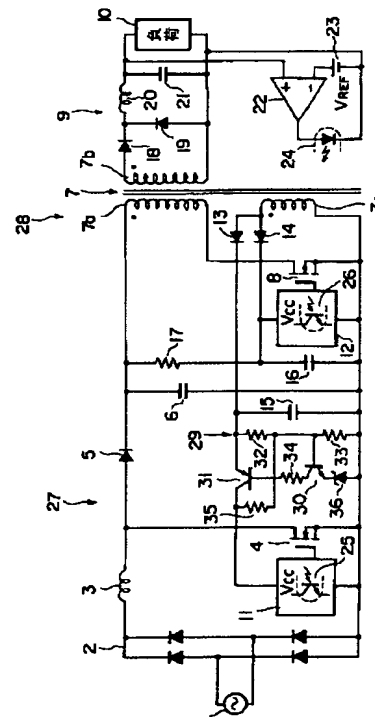
(21)出願番号	特願平6-245526	(71)出願人	000106276 サンケン電気株式会社 埼玉県新座市北野3丁目6番3号
(22)出願日	平成6年(1994)10月11日	(72)発明者	森田 浩一 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内
		(74)代理人	弁理士 清水 敬一 (外1名)

(54) 【発明の名称】 直流電源装置

(57) 【要約】

【目的】 直流電源装置の軽負荷時での消費電力の削減及び効率の向上を図る。

【構成】 本発明による直流電源装置は、軽負荷時ににおける出力トランス 7 の 3 次巻線 7 c の電圧低下を負荷状態検出手段 2 9 の抵抗 3 2、3 3 及びツェナダイオード 3 6 により検出したとき、トランジスタ 3 0、3 1 がオフ状態となり、3 次巻線 7 c から第 1 の制御回路 1 1 への電力供給が停止される。これにより、第 1 の制御回路 1 1 の動作が停止して第 1 の制御回路 1 1 から第 1 の MOS-FET 4 のゲート端子への制御信号の付与が停止されるので、第 1 の MOS-FET 4 のオン・オフ動作が停止する。したがって、軽負荷時において力率改善回路 2 7 の動作を停止させることができる。このため、軽負荷時における力率改善回路 2 7 の消費電力が零となるので、直流電源装置の軽負荷時における消費電力を削減しかつ効率を向上させることができる。



**【特許請求の範囲】**

【請求項 1】 交流電源に接続されかつ直流出力を発生する力率改善回路と、該力率改善回路の出力端子に接続されかつ前記力率改善回路の前記直流出力とは異なる電圧の直流出力を発生する直流-直流変換回路と、該直流-直流変換回路の出力端子に接続された負荷とを備えた直流電源装置において、

前記負荷の状態を検出する負荷状態検出手段と、該負荷状態検出手段が前記負荷の軽負荷状態を検出したときに前記力率改善回路の作動を停止させる力率改善回路停止手段とを設けたことを特徴とする直流電源装置。

【請求項 2】 前記直流-直流変換回路は、1次～3次巻線を有する出力トランスと、該出力トランスの前記1次巻線に接続されるスイッチング手段とを備え、前記負荷状態検出手段は、前記3次巻線の電圧を検出することにより前記負荷の状態を検出する「請求項 1」に記載の直流電源装置。

【請求項 3】 前記直流-直流変換回路は、1次巻線及び2次巻線を有する出力トランスと、該出力トランスの前記1次巻線に接続されるスイッチング手段とを備え、前記直流-直流変換回路のスイッチング手段に流れる電流を該電流に対応した電圧として検出する電流検出手段が前記スイッチング手段と直列に接続され、前記負荷状態検出手段は、前記電流検出手段の前記電圧を検出することにより前記負荷の状態を検出する「請求項 1」に記載の直流電源装置。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】 本発明は直流電源装置、特に力率改善回路を有しかつ軽負荷時における消費電力の削減及び効率の向上を図ることができる直流電源装置に関するものである。

**【0002】**

【従来の技術】 従来の直流電源装置は、例えば図2に示すように、商用周波数の交流電圧を発生する交流電源1に接続されるダイオードブリッジ回路2と、ダイオードブリッジ回路2の出力端に接続されたリアクトル3と第1のMOS-FET 4との直列回路と、第1のMOS-FET 4と並列に接続された還流用ダイオード5とコンデンサ6との直列回路と、1次～3次巻線7a～7cを有する出力トランス7と、コンデンサ6及び出力トランス7の1次巻線7aと直列に接続されたスイッチング手段としての第2のMOS-FET 8と、出力トランス7の2次巻線7bに整流平滑回路9を介して接続された負荷10と、第1のMOS-FET 4のゲート端子（制御端子）に制御パルス信号を付与して第1のMOS-FET 4をオン・オフ制御する第1の制御回路11と、第2のMOS-FET 8のゲート端子に制御パルス信号を付与して第2のMOS-FET 8をオン・オフ制御する第2の制御回路12とを備えている。ダイオードブリッジ回

路2、リアクトル3、第1のMOS-FET 4、還流用ダイオード5、コンデンサ6及び第1の制御回路11は力率改善回路27を構成する。出力トランス7、第2のMOS-FET 8、整流平滑回路9及び第2の制御回路12は直流-直流変換回路28を構成する。出力トランス7の3次巻線7cは、制御電源用ダイオード13、14及び制御電源用コンデンサ15、16を介して第1及び第2の制御回路11、12の電源端子V<sub>CC</sub>に直流電圧を供給する。また、図2において、17は起動用抵抗、18、19は整流ダイオード、20は平滑リアクトル、21は平滑コンデンサ、22はオペアンプ（演算増幅器）、23は基準電源、24～26はフォトカプラを構成する発光ダイオード及び受光トランジスタを示す。

【0003】 上記の構成において、交流電源1にて発生した商用周波数の交流電圧は、力率改善回路27のダイオードブリッジ回路2により全波整流された直流電圧に変換される。全波整流された直流電圧は、リアクトル3及び還流用ダイオード5を介してコンデンサ6に印加されかつ平滑される。この平滑された直流電圧は、起動用抵抗17を介して直流-直流変換回路28の第2の制御回路12の電源端子V<sub>CC</sub>に印加され、第2の制御回路12が起動される。これにより、第2の制御回路12から第2のMOS-FET 8のゲート端子に制御パルス信号が付与されて第2のMOS-FET 8がオン・オフ動作を開始し、出力トランス7の1次巻線7aに平滑された直流電圧を断続的に印加して交流電圧を発生する。出力トランス7の1次巻線7aに発生した交流電圧により、2次巻線7bに降圧又は昇圧された交流電圧が誘起されると共に3次巻線7cにも交流電圧が誘起される。出力トランス7の3次巻線7cに誘起された交流電圧は、制御電源用ダイオード14及び制御電源用コンデンサ16により整流及び平滑され、第2の制御回路12の電源端子V<sub>CC</sub>に直流電圧が供給される。これと共に、第1の制御回路11の電源端子V<sub>CC</sub>にも制御電源用ダイオード13及び制御電源用コンデンサ15により整流及び平滑された直流電圧が供給される。これにより、第1の制御回路11が起動され、第1の制御回路11から第1のMOS-FET 4のゲート端子に制御パルス信号が付与されて第1のMOS-FET 4がオン・オフ動作を開始し、力率改善回路27が駆動される。出力トランス7の2次巻線7bに誘起された交流電圧は、整流平滑回路9の整流ダイオード18、19、平滑リアクトル20及び平滑コンデンサ21により整流及び平滑され、負荷10に降圧又は昇圧された直流電圧が供給される。オペアンプ22は、負荷10に供給される直流電圧を基準電源23の電圧V<sub>REF</sub>と比較し、その比較出力に応じてフォトカプラの発光ダイオード24を発光させる。これにより、フォトカプラの受光トランジスタ25、26に各々制御電流が流れ、受光トランジスタ25、26の各出力により第1及び第2の制御回路11、12は第1及び第2のM

OS-FET 4、8の各ゲート端子に付与する制御パルス信号のパルス幅を制御する。以上により、負荷10に供給される直流電圧が一定に保持されると共に力率改善回路27によりコンデンサ6に流れる充電電流を制御して力率を向上することができる。

【0004】なお、力率改善回路27は図3に示すように構成されることもある。即ち、図3の力率改善回路27は、交流電源1の入力交流電圧 $V_{AC}$ の正負の各半波期間において2つの絶縁ゲート型トランジスタ4a、4bを交互にオン・オフ制御することにより、各コンデンサ6a、6bを充電して直流出力端子間に昇圧された直流出力電圧 $V_{DC}$ を得るものである。図3の回路では、直流出力電圧 $V_{DC}$ を出力電圧検出回路50にて検出し、その検出出力 $V_{dc}$ をオペアンプ51により基準電源52の基準電圧 $V_R$ と比較し、その比較出力 $V_e$ と入力交流電圧 $V_{AC}$ とを乗算器53により乗算して基準電流値 $I_R$ として出力し、基準電流値 $I_R$ と入力電流検出手段54にて検出された入力電流 $I_{AC}$ とをオペアンプ55により比較し、その比較出力 $V_f$ と三角波発生回路56の三角波出力 $V_t$ とをオペアンプ57により比較し、その比較出力 $V_p$ によって第1の制御回路11から出力される2つの制御パルス信号 $V_{g1}$ 、 $V_{g2}$ の周波数又はパルス幅を制御する。これにより、入力電流 $I_{AC}$ の最大値を入力交流電圧 $V_{AC}$ の波形に追従させて2つの絶縁ゲート型トランジスタ4a、4bを交互にオン・オフ制御することができるので、入力交流電圧 $V_{AC}$ と入力電流 $I_{AC}$ との位相差を0に近づけて力率を改善することができる。

#### 【0005】

【発明が解決しようとする課題】ところで、図2の直流電源装置において、負荷10が軽負荷状態の時（例えば、テレビのリモート信号受信回路等の電源として使用した場合はリモート信号受信待機時）は消費電力が極めて少ないため、力率の低下による影響をあまり受けない。そのため、力率改善回路27を動作させる必要はない。しかしながら、図2の直流電源装置では負荷10が軽負荷状態の時でも第1の制御回路11が駆動されて力率改善回路27が動作されるので、無用な電力を消費する。したがって、軽負荷時における直流電源装置の消費電力が増大しかつ効率が低下する欠点があった。

【0006】そこで、本発明では軽負荷時における消費電力を削減しかつ効率を向上できる直流電源装置を提供することを目的とする。

#### 【0007】

【課題を解決するための手段】本発明による直流電源装置は、交流電源に接続されかつ直流出力を発生する力率改善回路と、該力率改善回路の出力端子に接続されかつ前記力率改善回路の前記直流出力とは異なる電圧の直流出力を発生する直流-直流変換回路と、該直流-直流変換回路の出力端子に接続された負荷とを備えている。この直流電源装置では、前記負荷の状態を検出する負荷状

態検出手段と、該負荷状態検出手段が前記負荷の軽負荷状態を検出したときに前記力率改善回路の作動を停止させる力率改善回路停止手段とを設けている。

【0008】図示の実施例では、前記直流-直流変換回路は1次～3次巻線を有する出力トランスと、該出力トランスの前記1次巻線に接続されるスイッチング手段とを備え、前記負荷状態検出手段は前記3次巻線の電圧を検出することにより前記負荷の状態を検出する。

【0009】また、図示以外の実施例では、前記直流-直流変換回路は1次巻線及び2次巻線を有する出力トランスと、該出力トランスの前記1次巻線に接続されるスイッチング手段とを備え、前記直流-直流変換回路のスイッチング手段に流れる電流を該電流に対応した電圧として検出する電流検出手段が前記スイッチング手段と直列に接続され、前記負荷状態検出手段は前記電流検出手段の前記電圧を検出することにより前記負荷の状態を検出する。

#### 【0010】

【作用】負荷状態検出手段が負荷の軽負荷状態を検出したとき、力率改善回路停止手段が作動され、力率改善回路の作動が停止される。このため、軽負荷時における力率改善回路の消費電力が零となるので、直流電源装置の軽負荷時における消費電力を削減しかつ効率を向上させることができる。

#### 【0011】

【実施例】以下、本発明による直流電源装置の実施例を図1に基づいて説明する。但し、図1では図2に示す箇所と同一の部分には同一の符号を付し、その説明を省略する。本実施例の直流電源装置は、図1に示すように、図2の回路の制御電源用コンデンサ15と第1の制御回路11の電源端子 $V_{CC}$ との間に、負荷10の状態を検出する負荷状態検出手段29と、負荷状態検出手段29が負荷10の軽負荷状態を検出したときにオフ状態となり第1の制御回路11の作動を停止させる力率改善回路停止手段としてのトランジスタ30、31を設けたものである。負荷状態検出手段29は、抵抗32～35及びツェナダイオード36で構成され、出力トランス7の3次巻線7cの電圧を抵抗32及び33で検出することにより、負荷10の状態を検出する。その他の構成は図2の回路と同一である。

【0012】上記の構成において、負荷10が軽負荷状態になると負荷10の両端の電圧が上昇するので、第2の制御回路12から出力される制御パルス信号のパルス幅が狭くなり、出力トランス7の1次巻線7aの両端の電圧が減少する。このため、出力トランス7の3次巻線7cに誘起される電圧が低下し、それに従って抵抗32及び33の接続点の電圧がツェナダイオード36の電圧よりも低くなるので、トランジスタ30がオフ状態となる。これと共に、トランジスタ31もオフ状態となり、第1の制御回路11の電源端子 $V_{CC}$ への直流電圧の供給

が停止される。これにより、第1の制御回路11の動作が停止して第1のMOS-FET4のゲート端子への制御パルス信号の付与が停止され、第1のMOS-FET4のオン・オフ動作が停止する。このとき、ダイオードブリッジ回路2の全波整流電圧がリアクトル3及び還流用ダイオード5及びコンデンサ6を介して出力トランス7の1次巻線7a及び第2のMOS-FET8に直接供給される。したがって、軽負荷時において力率改善回路27の動作を停止させることができる。そのため、軽負荷時における力率改善回路27の消費電力が零となるから、直流電源装置の軽負荷時における消費電力を削減しかつ効率を向上させることができる。なお、通常負荷時の動作及び直流出力の負荷10への供給動作については、前述の図2の回路動作と基本的に同一であるので、説明は省略する。

【0013】本発明の実施態様は前記の実施例に限定されず種々の変更が可能である。例えば、上記の実施例では力率改善回路27及び直流-直流変換回路28のスイッチング手段11、12としてMOS-FETを使用した例を示したが、バイポーラ形トランジスタ、J-FET（接合形電界効果トランジスタ）、SCR（逆阻止3端子サイリスタ）等の他のスイッチング素子も使用可能である。また、上記の実施例では軽負荷時における出力トランス7の3次巻線7cの電圧の低下を負荷状態検出手段29の抵抗32、33及びツェナダイオード36により検出し、トランジスタ30、31をオフ状態にして3次巻線7cから第1の制御回路11への電力供給を停止させることにより第1のMOS-FET4のオン・オフ動作を停止させる例を示したが、第2のMOS-FET8に流れる電流を該電流に対応した電圧として検出する電流検出手段（例えば電流検出用抵抗）を第2のMOS-FET8と直列に接続し、軽負荷時における電流検出手段の前記電圧の低下を負荷状態検出手段により検出したときに力率改善回路停止手段（例えばトランジスタ、スイッチリレー等）をオフ状態にして第1の制御回路11の動作を停止させることにより第1のMOS-FET4のオン・オフ動作を停止させてもよい。また、軽負荷時において、第1の制御回路11の動作を停止させ

る代わりに、第1の制御回路11の制御信号出力端子及び第1のMOS-FET4のゲート端子間に力率改善回路停止手段（例えばトランジスタ、スイッチリレー等）を設けて第1の制御回路11からの制御パルス信号を遮断する構成にしてもよい。更に、図1の回路における力率改善回路27の代わりに、図3に示す力率改善回路27を使用することもできる。なお、上記の実施例では第2のMOS-FET8がオン期間中のとき整流ダイオード18がオン状態であるフォワード型のコンバータへの適用例を示したが、第2のMOS-FET8がオン期間中のとき整流ダイオード18がオフ状態であるフライバック型のコンバータにも適用が可能である。

#### 【0014】

【発明の効果】本発明によれば、軽負荷時において力率改善回路の動作を停止させることができるので、直流電源装置の軽負荷時における消費電力を削減しかつ効率を向上させることが可能である。したがって、例えばテレビのリモート信号受信回路等の電源として使用した場合は、リモート信号受信待機時における消費電力を削減できるので、テレビの非稼働時の消費電力を抑制できる利点がある。

#### 【図面の簡単な説明】

【図1】 本発明による直流電源装置の実施例を示す電気回路図

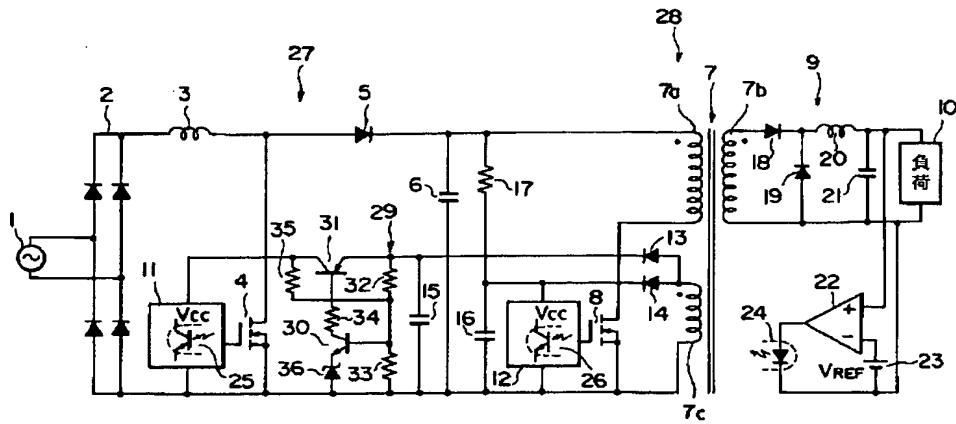
【図2】 従来の直流電源装置を示す電気回路図

【図3】 力率改善回路の他の例を示す電気回路図

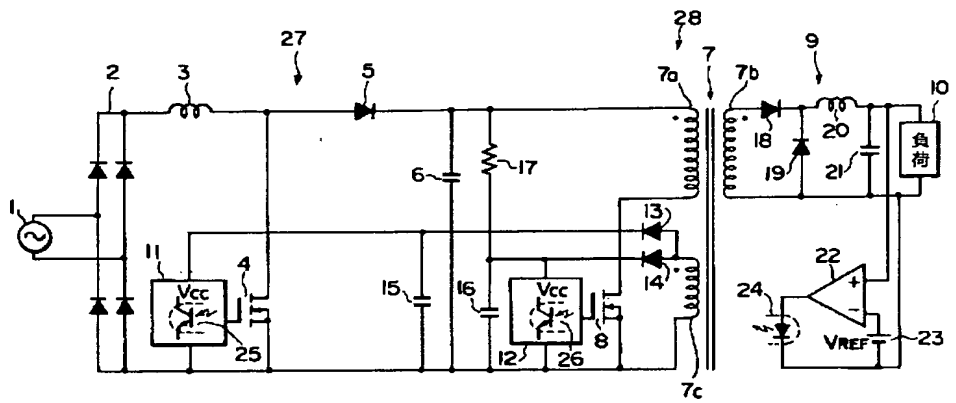
#### 【符号の説明】

1... 交流電源、2... ダイオードブリッジ回路、  
3... リアクトル、4... 第1のMOS-FET、  
5... 還流用ダイオード、6... コンデンサ、  
7... 出力トランス、7a... 1次巻線、7b... 2次巻線、7c... 3次巻線、8... 第2のMOS-FET（スイッチング手段）、9... 整流平滑回路、  
10... 負荷、11... 第1の制御回路、12... 第2の制御回路、27... 力率改善回路、28... 直流-直流変換回路、29... 負荷状態検出手段、30、31... トランジスタ（力率改善回路停止手段）

【図1】



【図2】



【図3】

